



TITLE:

<大学の研究・動向> メモリベース アーキテクチャ

AUTHOR(S):

田丸, 啓吉

CITATION:

田丸, 啓吉. <大学の研究・動向> メモリベースアーキテクチャ. Cue
1998, 1: 9-13

ISSUE DATE:

1998-06

URL:

<https://doi.org/10.14989/57769>

RIGHT:

メモリベースアーキテクチャ

情報学研究科 通信情報システム専攻 集積システム工学講座 大規模集積回路分野

教授 田 丸 啓 吉

e-mail: tamaru@kuee.kyoto-u.ac.jp

1. 背景

VLSI技術の発展により、「システム オン シリコン」が注目を集めている。特に最近DRAM不況によりLSIメーカーはロジック重視を掲げて、システムの集積化に注力しようとしている。システム全体を一つのLSIに集積するためには、メモリとプロセッサ（プロセッシングエレメント）を集積することが必要になる。メモリとロジックを一つに集積するというアイデアは決して新しいものではなく、これまでもメモリに近いものでは、連想メモリ（CAM）^{[1][2]}や機能メモリ^[3]、ローカルメモリを持つ小規模プロセッサのアレイ^[4]、キャッシュメモリを集積したプロセッサ^[5]、主記憶を集積したメモリプロセッサ混載LSI^[6]など多くの形式のLSIが開発されてきた。しかし基本的にメモリとプロセッサ（ロジック）はこれまで固有の技術を追求して発展し、一方はギガビットの大容量を狙い、他方はクロック600MHz以上の超高速プロセッサを開発している。このことはメモリとプロセッサをバスで結合するアーキテクチャはそのままにして、両側のメモリとプロセッサに独立に性能向上を要求してきたため、メモリは大規模データに対応するべくますます大容量になり、プロセッサは多量のデータを処理するためますます超高速化してきたことを示している。その結果大容量メモリと超高速プロセッサは最適技術によって別個の独立ユニットとして設計製造されることになり、最後に両者を結合するバスがボトルネックとして残ることになった。この解決策としてメモリプロセッサ混載によるバンド幅拡張が行われている。これは実際的な方法ではあるが、革新的なアイデアではない。もう一度問題を考え直してみると、結局種々の特性をもつデータの処理を同一アーキテクチャによって行うところに問題があることが解る。したがってより本質的な解決法はデータの特性に応じたアーキテクチャを採用することで、その一つの方式として、メモリとロジックを一体化した新しいアーキテクチャを考えることである。このようなアーキテクチャとして、我々はメモリをベースにしたメモリベースアーキテクチャを提案してきた。以下にその概要と例について説明する。

2. メモリベースアーキテクチャの概要

メモリベースアーキテクチャの基本となる考えは二つある。第1はメモリの構造的特徴を利用し、規則性、繰返し性をもつ構成を実現することである。第2は同じ機能をメモリを活用して実現することで、メモリセルとその周辺で単なるデータ保持（記憶）以上の処理機能を実現することである。このように考えるとメモリベースアーキテクチャの基本的特徴は、記憶と処理を一体とした構成、SIMD動作（制御方式）、並列化を中心としたデータ処理、高密度で規則的構造などのデータパス系アーキテクチャである。その効果は多量のデータに比較的簡単な処理を並列に行うことによる性能向上である。このような性質をもつ最も手近な用途は画像データ処理である。

このような特徴を考えると、メモリベースアーキテクチャの構造形態として、メモリの容量と論理部の粒度が問題になる。またこれは並列度にも関係する。この点より次の4種類に分類できる。

1. メモリ1語内に論理回路を付加した形（1語ユニット形）

これは最も簡単な機能メモリに相当し、1語のメモリにゲートを付加して外部入力との間で論理動作ができるようにしたもので、CAM^{[1][2]}が代表例である。CAMでは1語の各ビットセルに追加

の検索データ線、EXNORゲート、各ビットのEXNOR出力のwired AND（一致検出線）の論理機能を付加している。この論理を使用して外部入力との間で一致検索、極値検索などを行う。メモリの各語は互いに独立で、論理演算の一方は必ず外部入力である。動作の並列度はメモリの語数を n としたとき n 並列になる。

2. メモリ2～4語（程度）に論理回路を付加した形（4語ユニット形）

2項演算を行うためには、演算数、被演算数、結果を入れるために2～3語とさらに中間結果や倍長結果を入れるために1語が必要になる。この形では2～4語のメモリに加算回路や論理演算回路を付加して、メモリデータ間の演算ができるようにした構造である。代表例には後に説明する加算機能メモリがある。並列度は n 語に対して $n/2 \sim n/4$ 程度であるが、 n が十分大きければ並列度も実用上十分大きくなる。

3. メモリ複数語（8語以上数十語程度まで）に小規模プロセッサを付加しブロックにした形（ブロック形）

複数回の2項演算を連続的に行うような多数回演算に対応するため、演算数や中間結果を格納する複数語のメモリをもち、演算回路も複数種類の演算をビット並列に実行するように拡張した論理回路（小規模プロセッサに対応）を備えた構造である。例として後に述べるFMPP-VQとトロント大のCRAM^[7]がある。

CRAMは8k（ 32×256 ）ビットのメモリアレイと64個の簡単な1ビットプロセッサを組合せ、 32×4 ビットのメモリに1個のプロセッサを割当て、64組を並列に配置した構造をしている。プロセッサは2個のレジスタを持ち、バスの他にプロセッサ通信路を備え、ビット並列動作も可能である。

並列度はブロック並列に動作するので、単純にはブロック数即ち（ n ／ブロック語数）になるが、実際には論理部分が大きくなり、同じ面積なら語数が減るので、（ n ／ブロック語数）の $1/2 \sim$ 数分の一程度になる。

4. ローカルメモリをもつプロセッサアレイの形（プロセッサアレイ形）

100語以上のメモリをもつプロセッサをアレイ状に配置して並列動作させる形式である。プロセッサの機能も3より複雑で、規模も大きい。並列度はメモリではなくプロセッサの個数で決まり、数十から数百程度になる。例としてはNECのIMAP(IMAPULSI)^[8]がある。IMAPULSIでは64個のプロセッサが2MビットのSRAMアレイに組合せられている。1個の8ビットプロセッサに32kビッ

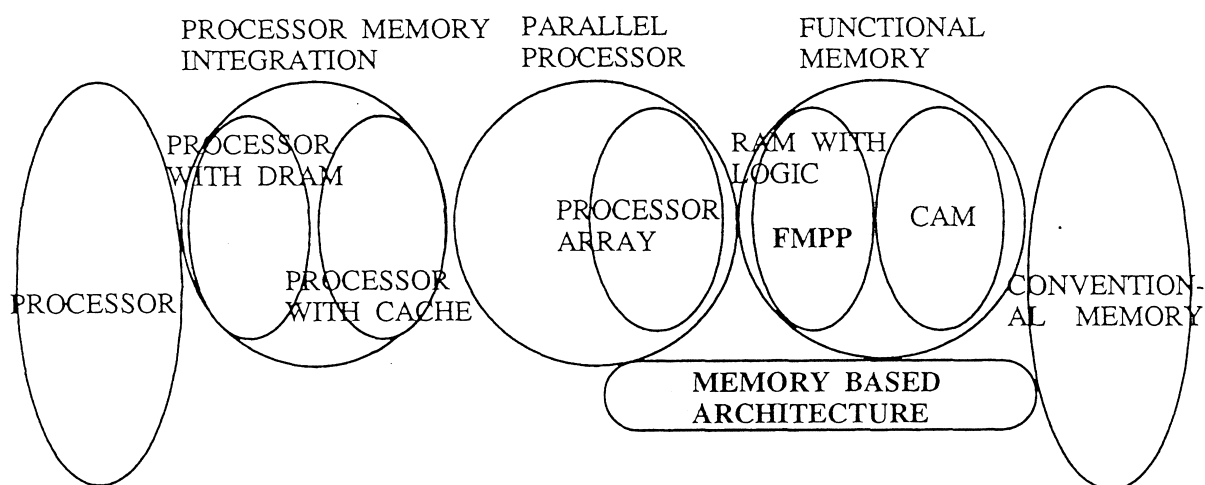


図1 メモリベース アーキテクチャの領域

トのSRAMがついており、構造的には2個のプロセッサと64kビット（512×128ビット）メモリが1組になっている。プロセッサは12個の汎用レジスタと5個のメモリおよびデータ転送用のレジスタを持ち、バスの他に隣接プロセッサ間のデータ転送路も持っている。

このようにメモリベースアーキテクチャの構造は1語ユニット形や4語ユニット形のように論理部の粒度が小さく、小容量のメモリと密に結合し、機能メモリとしての特性を持つものから、プロセッサアレイ形のように論理部の粒度が大きく、プロセッサとメモリが物理的には密接に構成されているが、アーキテクチャ的には独立性を持っているものまで広い範囲にわたっている。その中間にブロック形が存在し、両者の中間の特性を持っている。この関係を図示したものが図1である。メモリベースアーキテクチャはプロセッサとメモリの間で、メモリよりプロセッサ側へ手をのばした存在になっている。この図からも判るようにメモリベースアーキテクチャの本質は、メモリの特徴をプロセッサ側へいかに組み入れていくかという点にある。この点でアルゴリズムとアーキテクチャをメモリ技術を接点に結びつけるものがメモリベースアーキテクチャであるということが出来る。

3. メモリベースアーキテクチャの例

以下に我々の研究室で開発中のLSIを紹介する。

(1) FMPP-VQ

FMPP-VQはベクトル量子化^[9]処理の中で行う最近傍ベクトル探索専用のLSIとして設計したものである。画素データは8ビットで、16次元ベクトルの探索を行う。構成の単位をブロックと呼び、1ブロックが1個のベクトルに対応する。ブロックは図2に示すように140ビット（8ビット×16語と12ビット×1語）のメモリ（SRAM）と8ビット並列加算回路、2個の12ビットレジスタからなるロジックユニット（LU）、最小値検出回路、フラグなどで構成されている。ブロックは並列に

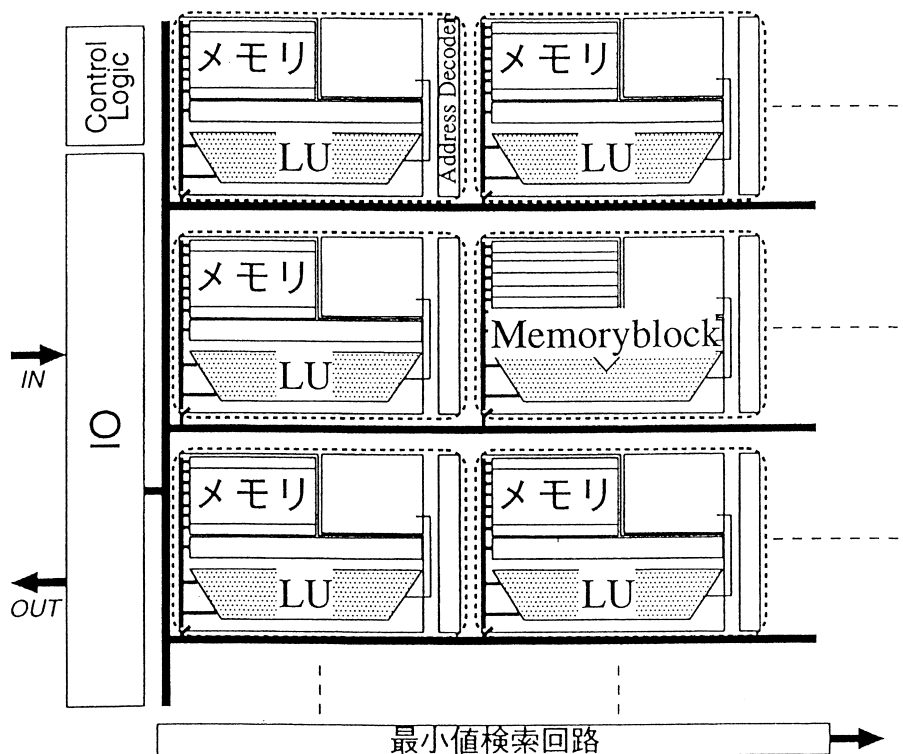


図2 FMPP-VQの構成

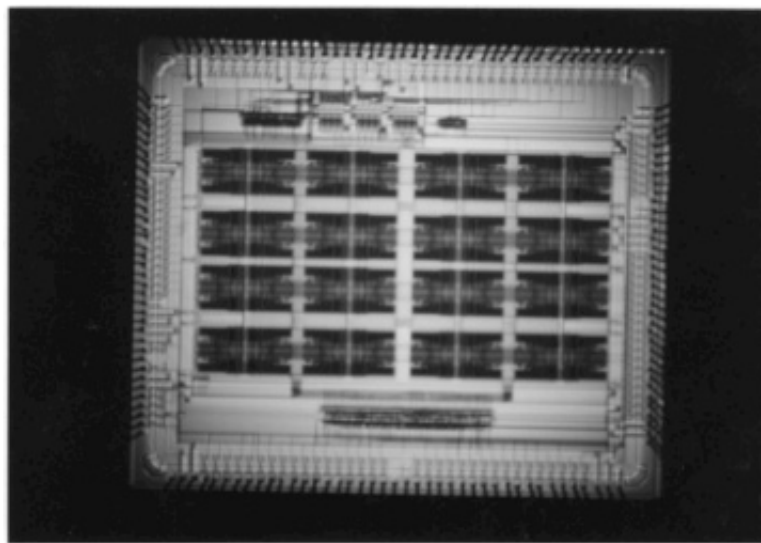
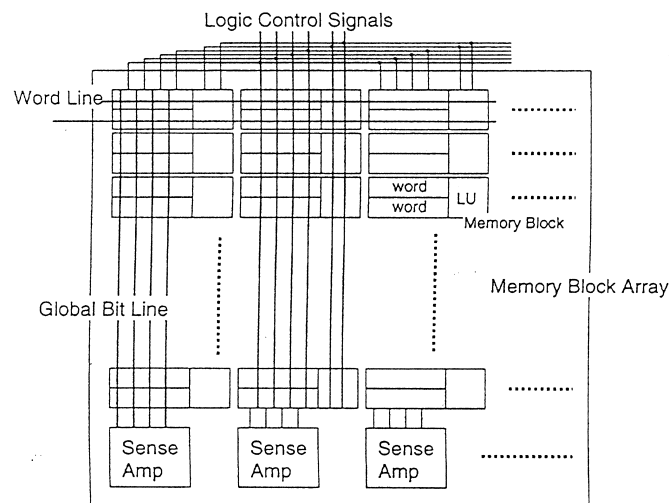
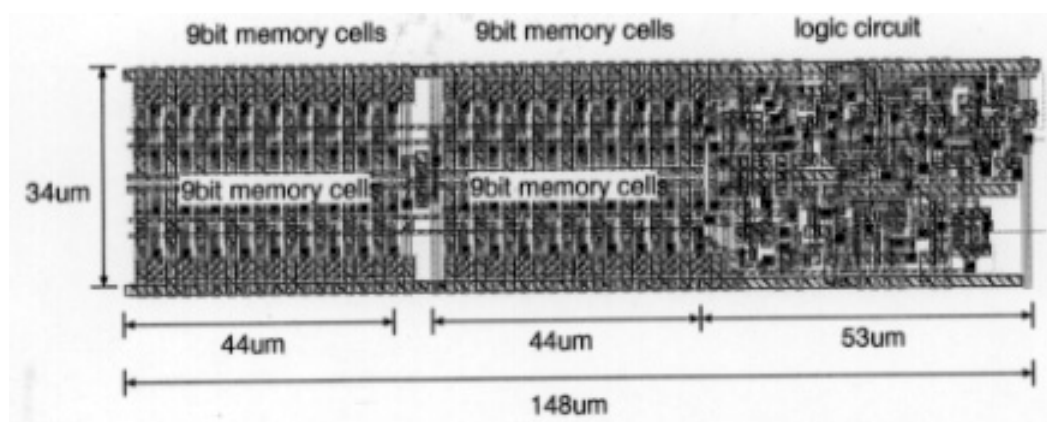


図3 64ブロックのFMPP-VQチップ



(a) メモリアレイの構成



(b) メモリブロックのレイアウト図（4語の場合）

図4 加算機能メモリ

動作し、各ブロックの16語のメモリにはベクトルの16個の要素データが記憶されている。外部より共通に入力ベクトルの16個の要素データが入力され、各ブロックのメモリの対応する各データとの減算が行われ、差が12ビットのメモリに累算される。16回の演算が終了すると各ブロックの累算結果が比較され、最小値の検索が行われて、最小値をもつブロックの番号が出力される。現在64ブロックのLSIが試作されている（図3）^[10]。このLSIは25MHzで動作し、1入力ベクトルを9.5 μ sで処理することができる。携帯TV電話のような低ビットレートの通信路で小画面（QCIF）の動画を転送する用途への応用を検討している。

(2) 加算機能メモリ

このメモリは図4に示すように2語または4語（1語は符号とデータ8ビットの9ビット）に1ビットの演算回路を組合せて1ブロックを構成したメモリで、ワードに記憶しているデータ間または記憶データと外部共通入力間でビット直列に加減算、論理演算を行うことができる。外部から見たメモリとしては9ビット構成のメモリと同じに動作するが、コマンドによって内部ではブロック並列にビット直列演算を行う。ブロックの粒度が小さいので機能が限定されているが、並列度は1万以上を考えている。そのためDRAMを使用し、高密度で超並列を特徴とする構造をしている。1語の演算は560nsである。現在機能テスト用のLSIを試作中である。

参考文献

- [1] Koo, J.T.: IEEE J. SSC, SC-5, 5, 208-215 (1970).
- [2] Ogura, T. et al.: IEEE J. SSC, SC-20, 6, 1277-1282 (1985).
- [3] Tamaru, K.: IEICE Trans. Electron., E76-C, 11, 1545-1554 (1993).
- [4] Jones, S.R. et al.: IEEE J. SSC, SC-23, 2, 543-548 (1988).
- [5] Kohn, L. and Sai Wai Fu: 1989 Int. Solid-State Circuits Conf., Digest of Tech. Papers, 54-55, (Feb. 1989).
- [6] Shimizu, T. et al.: 1996 IEEE Int. Solid-State Circuits Conf., Digest of Tech. Papers, 216-217 (Feb. 1996).
- [7] Elliott, D.G. et al.: IEEE 1992 CICC, 30.6.1-4 (May, 1992).
- [8] Kimura, T. et al.: J. SSC, SC-30, 6, 637-643 (1995).
- [9] Gersho, A. and Cuperman, V.: IEEE Commun. Mag., 21, 9, 15-21 (1983).
- [10] Kobayashi, K. et al.: Proc. of the 22nd European Solid-State Circuits Conf., 184-187 (Sept., 1996).